

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-027736

(43)Date of publication of application : 28.01.1997

(51)Int.Cl.

H03K 17/687

H03K 17/693

(21)Application number : 07-177427

(71)Applicant : JAPAN RADIO CO LTD

(22)Date of filing : 13.07.1995

(72)Inventor : TONAMI YOSHIYUKI

YOSHIDA GORO

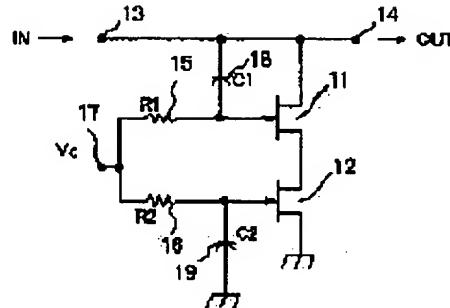
YAMASHITA KAZUO

(54) FET SWITCH

(57)Abstract:

PROBLEM TO BE SOLVED: To maintain an on-and off-state without being affected by the amplitude or electric power of a transmitted signal by connecting feedback circuits between respective gates and sources, and drains.

SOLUTION: Between the transmission line between input and output ports 13 and 14, and the ground, FETs 11 and 12 which form a switch are connected in series, and capacitors 18 and 19 forming feedback circuit are connected between the gates and sources, and drains of the FETs 11 and 12. The FETs 11 and 12 are turned on or off according to the control voltage from a control port 17, and the input AC signal from the port 13 is transmitted to the output port 14, and grounded and voltage-divided by the multistage FETs 11 and 12. At this time, the gate potentials of the FETs 11 and 12 are varied by the capacitors 18 and 19 so that the gate-source or gate-drain voltages are prevented from exceeding a threshold value, thereby easily maintaining the on-and off- states of the FETs 11 and 12. Consequently, a large-power high-frequency signal can be transmitted without waveform distortion.



LEGAL STATUS

[Date of request for examination] 10.06.1999

[Date of sending the examiner's decision of rejection] 07.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-27736

(43)公開日 平成9年(1997)1月28日

(51) Int.Cl. ⁶ H 03 K 17/687 17/693	識別記号 9184-5K 9184-5K	府内整理番号 H 03 K 17/687 17/693	F I G	技術表示箇所 A
--	----------------------------	-----------------------------------	----------	-------------

審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号 特願平7-177427

(22)出願日 平成7年(1995)7月13日

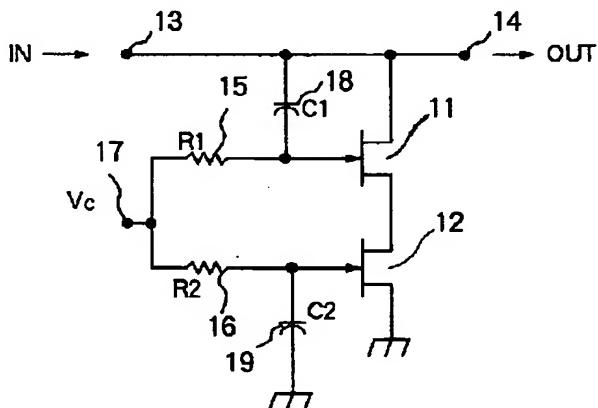
(71)出願人 000004330
日本無線株式会社
東京都三鷹市下連雀5丁目1番1号
(72)発明者 利波 良幸
東京都三鷹市下連雀5丁目1番1号 日本
無線株式会社内
(72)発明者 吉田 吾朗
東京都三鷹市下連雀5丁目1番1号 日本
無線株式会社内
(72)発明者 山下 和郎
東京都三鷹市下連雀5丁目1番1号 日本
無線株式会社内
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 FETスイッチ

(57)【要約】

【課題】 伝送しようとする信号の電力または振幅に影響されることなく、オン／オフ状態を維持することができる、ハイパワー信号の伝送に適したFETスイッチを提供する。

【解決手段】 2つのFET 11、12が直列接続され、入力ポート13と出力ポート14とを接続する伝送線路と並列に接続（出力ポートと接地との間に接続する）されている。各FETのゲートには、抵抗器15、16が接続され、これらの抵抗器は、制御ポート17に接続される。また、FET 11のゲートと入力ポートの間にはキャパシタ18が、FET 12のゲートと接地との間にはキャパシタ19が接続されている。



【特許請求の範囲】

【請求項1】複数のFETを多段接続し、前記複数のFETの各々のゲートとソース及びドレインの一方との間に、それぞれ帰還回路を接続したことを特徴とするFETスイッチ。

【請求項2】前記帰還回路がキャパシタであることを特徴とする請求項1のFETスイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はFETスイッチに関し、特に大電力用FETスイッチに関する。

【0002】

【従来の技術】FETスイッチは、例えば、アンテナで受信した無線周波数(RF)信号を複数の受信回路に選択的に供給したり、あるいは単一のアンテナを送信機と受信機とで共用したりする場合に使用される。

【0003】図5に従来のFETスイッチの一例を示す。これは、単一のアンテナを送信機と受信機とで共用する場合の例である。このFETスイッチは、4個のFET(電界効果トランジスタ)51、52、53、及び54を有している。FET51は、送信機用ポート55とアンテナ接続ポート56との間に接続され、FET52は、受信機用ポート57とアンテナ接続ポート56との間に接続されている。また、FET53、54は、それぞれ、送信機用ポート55と接地との間及び受信機用ポート57と接地との間に接続されている。そして、FET52、53のゲートは、それぞれ抵抗器58、59を介して制御ポート60に、FET51、54のゲートは、それぞれ抵抗器61、62を介して制御ポート63に接続されている。

【0004】ここで、各FETは、図6に示すような $V_{gs} - I_{ds}$ 特性を有するものとする。即ち、ゲート・ソース間電圧 V_{gs} が、しきい値 V_{th} を上回る場合は、ドレン・ソース間に電流 I_{ds} が流れる。 V_{gs} が、しきい値 V_{th} を下回る場合には、 I_{ds} は流れない。つまりこのFETは、 $V_{gs} > V_{th}$ の領域でオンし、この状態で、低抵抗と等価に見なせる。逆に、 $V_{gs} < V_{th}$ では、オフして、抵抗及びコンデンサによって等価的に表現される高インピーダンスの状態になる。

【0005】このような特性を有するFETで構成された図5のスイッチ回路において、 V_{th} を下回る電位 V_1 を制御ポート60に印加し、 V_{th} を上回る電位 V_2 を制御ポート63に印加すると、FET52及び53がオフし、FET51、54がオンする。即ち、送信機用ポート55がアンテナ接続ポート56に接続された状態となる。逆に、 V_{th} を上回る電位 V_1 を制御ポート60に印加し、 V_{th} を下回る電位 V_2 を制御ポート63に印加すると、FET52及び53がオンし、FET51、54がオフして、受信機用ポート57がアンテナ接続ポート56に接続された状態となる。こうして4個のFET5

1、52、53、及び54を用いたSPDT(单極双投)スイッチが実現される。

【0006】

【発明が解決しようとする課題】しかしながら、従来のFETスイッチでは、ドレン・ソース間を流れる交流信号が大きくなると、ゲート・ソース間電圧(ゲート・ドレン間電圧)が大きく変動し、FETが所望のオン／オフ状態を保てなくなるという問題点がある。

【0007】例えば、図7(a)に示すように接続されたFET71(図5のFET53(または54)に対応)を含む回路を考える。この回路において、入力ポート72から出力ポート73へ信号を伝送させるためには、制御電圧 V_c によりFET71をオフさせなければならない。ところが、伝送される信号の電力が大きいと、FET71のソース電位 V_s (またはドレン電位)の変動が大きくなり、 $V_c - V_s > V_{th}$ にいたると、 $V_{gs} > V_{th}$ となり、FET71がオンしてしまう。このため、伝送しようとする信号は、図7(b)に示すように、尖頭部がつぶれ、波形が歪んでしまう。

【0008】本発明は、伝送しようとする信号の電力または振幅に影響されることなく、オン／オフ状態を維持することができる、ハイパワー信号の伝送に適したFETスイッチを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明によれば、複数のFETを多段接続し、前記複数のFETの各々のゲートとソース及びドレインの一方との間に、帰還回路を接続したことを特徴とするFETスイッチが得られる。

【0010】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図1に本発明の一実施形態を示す。本実施の形態のFETスイッチは、図1に示すように、直列接続(多段接続)された2個のFET11及び12を有している。このFETスイッチは、入力ポート13と出力ポート14とを接続する伝送線路に平行に接続されている。また、FET11及び12のゲートは、それぞれ抵抗器15及び16を介して制御ポート17に接続されている。さらに、FET11のゲートと入力ポート13との間には、キャパシタ18が接続され、FET12のゲートと接地との間には、キャパシタ19が接続されている。なお、FETとしてはノーマリオニ型、ノーマリオフ型のいずれも使用することができる。

【0011】本実施の形態のFETスイッチも、従来同様、制御ポート17に入力される制御電圧にしたがってオン／オフし、入力ポート13に入力された交流信号を出力ポート14へ伝送したり、接地したりする。

【0012】入力ポート13から出力ポート14へと交流信号を伝送させる(即ち、FET11、12はオフさせる)ことにより、本実施の形態のFETスイッチに印加される電圧は、多段接続されたFET11、12によ

り分圧される。つまり、交流信号の振幅をVとすると、各FETに印加されるドレイン・ソース間電圧の振幅は、図2に示すように $V/2$ となる。また、各FETのゲート電位は、キャパシタの働きにより、ゲート・ソース間電圧（またはゲート・ドレイン間電圧）がしきい値を超えることを妨げる様に、伝送される交流信号に連動して変化する。つまり、ドレイン・ソース間電圧の変化による、ゲート・ソース間電圧（またはゲート・ドレイン間電圧）の変化を抑圧する様にして、FETのオン／オフ状態の維持を容易にする。これにより、本実施の形態のFETスイッチは、大電力の高周波信号の波形を損なうことなく伝送させることができる。したがって、本実施の形態のFETスイッチは、大電力高周波回路に使用することができる。

【0013】図3に本実施の形態によるFETスイッチと従来のFETスイッチの、入力電力と出力電力との関係を示す。図3より明らかな通り、従来のFETスイッチでは、伝送信号の波形に歪みが生じて出力電力が低下するような大きな入力電力を印加しても、出力電力の低下は見られない。

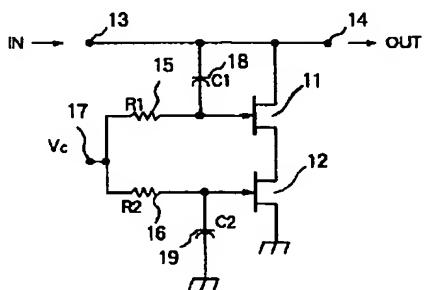
【0014】図4に本発明の他の実施の形態を示す。図4(a)のFETスイッチは、3段のFETを有するFETスイッチ回路であり、図4(b)は、入力ポートと出力ポートとの間に多段接続されたFETを接続した例である。

【0015】なお、上記実施の形態では、いずれの場合も帰還回路としてキャパシタを用いたが、抵抗器、あるいはキャパシタと抵抗器との組み合わせを用いることもできる。

【0016】

【発明の効果】本発明によれば、FETを多段接続して、各FETのゲートとソースまたはドレインの一方との間に帰還回路接続する様にしたことで、伝送しようとする信号の振幅あるいは電力に影響されることなくオン／オフを維持することができ、大電力高周波信号の波形を歪ませることなく伝送することができるFETスイッ

【図1】



チが得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の回路図である。

【図2】図1のFETスイッチの各FETにおけるドレイン・ソース電圧とゲート電圧とを示すグラフである。

【図3】図1のFETスイッチと、従来のFETスイッチにおける、入力電力と出力電力との関係を示すグラフである。

【図4】本発明の他の実施の形態を示す回路図であって、(a)は3段のFETを伝送線路に並列接続した場合、(b)は2段のFETを伝送線路上に設けた場合を示す図である。

【図5】従来のFETスイッチの一例を示す回路図である。

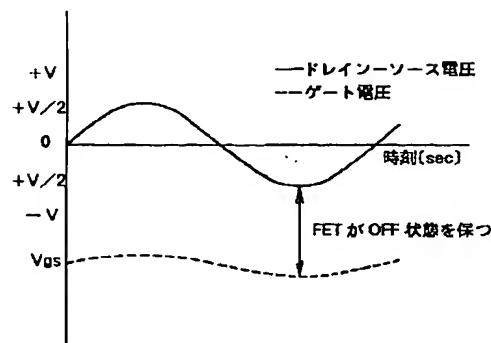
【図6】FETの V_{gs} - I_{ds} 特性の一例を示すグラフである。

【図7】従来のFETスイッチの問題点を説明するための(a)回路図、(b)ドレイン・ソース電圧とゲート電圧とを示すグラフである。

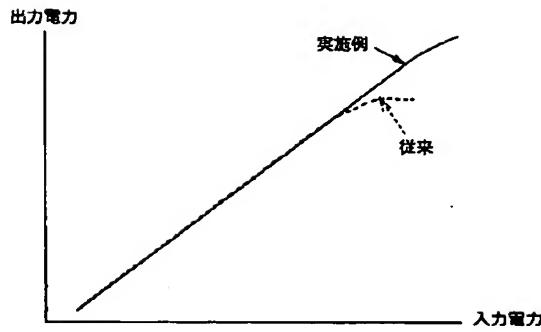
【符号の説明】

11, 12	FET
13	入力ポート
14	出力ポート
15, 16	抵抗器
17	制御ポート
18, 19	キャパシタ
51, 52, 53, 54	FET (電界効果トランジスタ)
55	送信機用ポート
56	アンテナ接続ポート
57	受信機用ポート
58, 59	抵抗器
60	制御ポート
61, 62	抵抗器
63	制御ポート

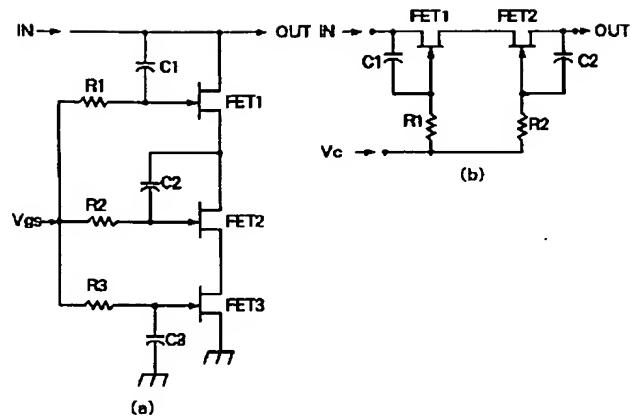
【図2】



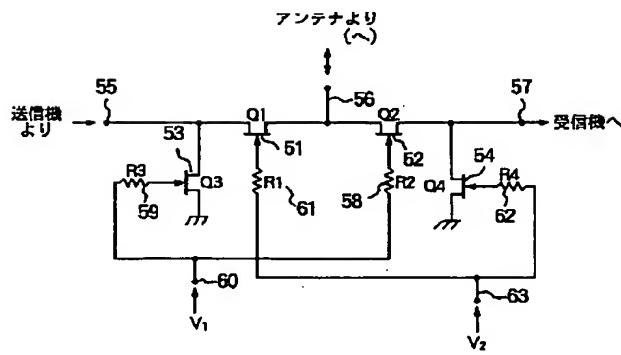
【図3】



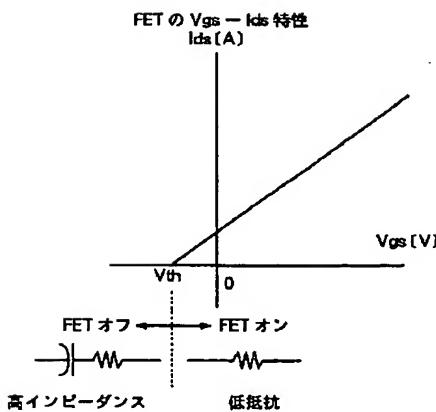
【図4】



【図5】



【図6】



【図7】

